

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 23/02

(11) 공개번호 특2001-0091916
(43) 공개일자 2001년 10월 23일

(21) 출원번호	10-2001-0010284
(22) 출원일자	2001년 02월 28일
(30) 우선권 주장	2000-076709 2000년 03월 17일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치 안도히데코 일본국도쿄도치요다쿠마루노우치1쵸메5반1고신마루비루가부시키가이샤히타 치세이사쿠쇼치테키쇼유켄후나이 키쿠치히로시 일본국도쿄도치요다쿠마루노우치1쵸메5반1고신마루비루가부시키가이샤히타 치세이사쿠쇼치테키쇼유켄후나이 요시다이쿠오 일본국도쿄도치요다쿠마루노우치1쵸메5반1고신마루비루가부시키가이샤히타 치세이사쿠쇼치테키쇼유켄후나이 사토토시히코 일본국도쿄도치요다쿠마루노우치1쵸메5반1고신마루비루가부시키가이샤히타 치세이사쿠쇼치테키쇼유켄후나이 시미즈토모 일본국도쿄도치요다쿠마루노우치1쵸메5반1고신마루비루가부시키가이샤히타 치세이사쿠쇼치테키쇼유켄후나이
(72) 발명자	
(74) 대리인	특허법인 원전 임석재

심사청구 : 없음

(54) 반도체 장치 및 그 제조방법

요약

패키지 기판(2) 주면의 중앙부에는, 메모리 칩(1)이 플립 칩(flip chip)방식에 의해 페이스 다운(face down) 실장되어 있다. 또한, 메모리 칩(1)의 근방에는, 복수의 칩 콘덴서(7)가 실장되어 있다. 메모리 칩(1)의 주면(하면)과 패키지 기판(2)의 주면과의 간극에는, 양자의 접속부 보호 및 열응력의 완화를 도모하기 위한 밀봉재인 언더필 수지(밀봉수지)(10)가 충전되어 있다. 언더필(under fill) 수지(10)는, 그 바깥 테두리가 메모리 칩(1)의 외측에까지 연장하여, 메모리 칩(1)의 근방에 실장된 칩 콘덴서(7)의 전면을 덮고 있다.

대표도

도2

색인어

반도체 장치, 반도체 칩, 수동소자, 밀봉수지, 캡, 열전도재

영세서

도면의 간단한 설명

- 도 1은, 본 발명의 일 실시형태인 반도체 장치의 평면도,
- 도 2는, 도 1의 II-II선에 따른 단면도,
- 도 3은 도 2의 요부 확대 단면도,
- 도 4는, 메모리 칩과 칩 콘덴서와의 접속상태를 나타내는 도면,
- 도 5는, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
- 도 6은, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,

- 도 7의 (a)는 칩 콘덴서의 평면도,
 도 7의 (b)는 도 7의 (a)의 A-A선에 따른 단면도,
 도 8은, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 9는, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 10은, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 11은, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 12는, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 13은, 본 발명의 일 실시형태인 반도체 장치의 제조방법을 나타내는 단면도,
 도 14는, 본 발명의 다른 실시형태인 반도체 장치의 평면도,
 도 15는, 본 발명의 다른 실시형태인 반도체 장치의 평면도,
 도 16은, 본 발명의 다른 실시형태인 반도체 장치의 단면도,
 도 17은, 본 발명의 다른 실시형태인 반도체 장치의 요부 확대 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 장치 및 그 제조기술에 관한 것으로, 특히, 반도체 칩과 수동소자가 동일한 기판에 탑재된 패키지를 갖는 반도체 장치에 적용하는 유효한 기술에 관한 것이다.

일본특허공개 평 8-46098호 공보(미국특허 제 5,533,256호)는, 집적회로가 형성된 반도체 칩(이하, 간단히 칩이라 함)의 열을 외부로 방산시키기 위한 히트 싱크(heat sink)를 구비한 패키지를 개시하고 있다.

상기 공보에 기재된 패키지의 하나의 태양은, 모듈기판의 상면에 형성된 패드상에 땀납 볼을 통하여 칩이 페이스다운 실장되어 있다. 패드 및 땀납 볼은, 모듈기판과 칩과의 간극에 충전된 밀봉재(seal member)에 의해 밀봉되어 있다.

모듈기판의 상면에는, 디커플링 콘덴서(decoupling condenser)와 같은 하나 이상의 전자(電子) 디바이스가 칩과 함께 실장되어 있다. 또한, 모듈기판의 상면에는 상기 칩과 전자 디바이스를 밀봉하기 위한 캡(cap)이 밀봉재를 통하여 고착되어 있고, 캡의 상면에는 접착제를 통하여 히트 싱크가 고착되어 있다. 칩의 상면(이면)과 캡의 하면과의 간극에는 열전도재가 충전되어, 칩에서 발생한 열이 이 열전도재 및 캡을 통하여 히트 싱크에 전달된다.

상기 공보에 기재된 패키지의 다른 태양은, 칩의 상면(이면)에 양면 감압성 열전도 접착테이프를 통하여 직접 히트 싱크가 접합되어 있다. 이 태양에서는, 칩과 전자 디바이스를 밀봉하기 위한 캡이 제거되어 있으므로, 칩의 열이 보다 효율적으로 히트 싱크로 전달된다.

최근의 고속 LSI는, 구동시 노이즈의 저감이 중요한 과제가 되어 있고, 그 대책의 하나로써, 칩이 실장된 기판상에 소형이면서 대용량인 칩 콘덴서를 실장하여 중간주파수 영역의 노이즈를 저감하는 것이 행해진다.

이 경우, 콘덴서는, 가능한 한 칩에 근접하여 배치하고, 양자를 접속하는 배선을 짧게 하는 것이 요구된다. 그러나, 고속 LSI가 형성된 칩은 발열량이 많으므로, 콘덴서를 칩의 극히 근방에 배치한 경우는, 칩의 동작시에 콘덴서가 급격한 온도변화에 노출되게 되어, 기판과의 접속 신뢰성의 저하가 문제가 된다.

또한, 상기 공보 기재의 패키지와 같이, 기판상에 실장된 칩과 콘덴서를 캡으로 밀봉하는 패키지는, 그 제조공정에서 칩과 캡과의 사이에 열전도재를 충전할 때, 캡의 치수 공차(公差)를 흡수할 목적으로 열전도재를 많이 공급하지 않으면 안되므로, 콘덴서가 칩의 극히 근방에 배치되어 있으면, 칩의 단부에서 돌출한 열전도재가 콘덴서에 접촉한다.

그 결과, 콘덴서는, 칩에서의 복사열에 노출될 뿐만 아니라, 열전도재에서 전해지는 고열에도 노출되게 되며, 기판과의 접속 신뢰성의 저하가 한층 심각한 문제가 된다. 더욱이, 상기 열전도재가 Ag 페이스트(paste)와 같은 도전성 재료로 구성되어 있는 경우에는, 열전도재를 통하여 칩과 콘덴서 혹은 콘덴서끼리 단락한다는 문제도 발생한다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은, 칩 근방에 실장되는 수동소자의 접속 신뢰성을 향상시키는 기술을 제공하는데 있다.

본 발명의 다른 목적은, 칩 근방에 실장되는 수동소자의 전기적 신뢰성을 확보하는 기술을 제공하는데 있다.

본 발명의 상기 및 그 이외의 목적과 신규한 특징은, 본 명세서의 기술(記述) 및 첨부도면에서 명백해질 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

본 발명의 반도체 장치는, 배선층을 구비한 기판과, 상기 기판의 주면상에 페이스 다운(face down) 실장된 반도체 칩과, 상기 기판의 주면상에 실장된 수동소자와, 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 충전된 밀봉수지와, 상기 반도체 칩과 상기 수동소자를 밀봉하는 캡과, 상기 캡과 상기 반도체 칩과의 사이에 충전된 열전도재를 가지며, 상기 수동소자는, 상기 밀봉수지가 피착된 영역 내에 배치되며, 적어도 그 일부가 상기 밀봉수지로 덮여 있는 것이다.

본 발명의 반도체 장치의 제조방법은, 이하의 공정을 가지고 있다.

- (a) 배선층을 구비한 기판의 주면상에 반도체 칩을 페이스 다운 실장하는 공정,
- (b) 상기 기판 주면상의 상기 반도체 칩이 실장된 영역의 근방에 수동소자를 실장하는 공정,
- (c) 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 밀봉수지를 충전하고, 상기 수동소자를 상기 밀봉수지로 피복하는 공정,
- (d) 상기 반도체 칩의 상면에 열전도재를 공급하는 공정,
- (e) 상기 반도체 칩의 상면에, 상기 열전도재를 통하여, 상기 반도체 칩과 상기 수동소자를 밀봉하는 캡을 고착하는 공정.

이하, 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 전체 도면에서, 동일한 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

(실시형태 1)

도 1은, 본 실시형태의 반도체 장치의 평면도, 도 2는, 도 1의 II-II선에 따른 단면도, 도 3은, 도 2의 요부 확대 단면도이다.

본 실시형태의 반도체 장치는, 예를 들면 고속 마이크로 프로세서(MPU: 초소형 연산처리장치)용의 고속 캐쉬 메모리(cash memory)가 형성된 메모리 칩(1)을 실장하는 패키지이다.

이 반도체 장치의 패키지 기판(2)은 세라믹으로 구성되며, 그 내부에는 신호용 배선, 전원배선 및 접지배선 등을 구성하는 복수층의 배선(3)이 형성되어 있다. 또한, 패키지 기판(2)의 주면(상면) 및 하면에는, 상기 배선(3)에 전기적으로 접속된 복수의 전극패드(4, 5)가 형성되어 있다. 배선(3) 및 전극패드(4, 5)는 W(텅스텐)으로 이루어지며, 전극패드(4, 5)의 표면에는 Ni(니켈) 및 Au(금)의 도금이 시행되어 있다.

패키지 기판(2) 주면의 중앙부에는, 상기 메모리 칩(1)이 플립 칩(flip chip) 방식에 의해 페이스 다운 실장되어 있다. 즉, 메모리 칩(1)은, 그 주면(하면)에 접속된 복수의 땀납범프(범프전극)(6)를 통하여, 패키지 기판(2) 주면의 상기 전극패드(4)에 전기적으로 접속되어 있다.

메모리 칩(1)의 근방에는, 복수의 칩 콘덴서(7)가 실장되어 있다. 이들 칩 콘덴서(7)는, 메모리 칩(1)의 외주에 따라 배치되며, 땀납(8)을 통하여 패키지 기판(2) 주면의 상기 전극패드(4)에 전기적으로 접속되어 있다. 도 4에 나타내는 바와 같이, 이들 칩 콘덴서(7)는, 패키지 기판(2)의 전원배선과 접지배선과의 사이에 병렬로 접속되며, 메모리 칩(1)의 구동시에 발생하는 노이즈를 저감하여 고속동작을 실현하고 있다.

패키지 기판(2) 하면의 전극패드(5)에는, 이 반도체 장치(패키지)의 외부 접속단자를 구성하는 복수의 땀납범프(9)가 접속되어 있다. 이들 땀납범프(9)는, 메모리 칩(1)의 주면에 접속된 상기 땀납범프(6)보다도 저융점의 땀납재료로 구성되어 있다. 반도체 장치는, 이들의 땀납범프(9)를 통하여 컴퓨터의 마더보드 등에 실장된다.

메모리 칩(1)의 주면(하면)과 패키지 기판(2)의 주면과의 간극에는, 양자의 접속부의 보호 및 열응력의 완화를 도모하기 위한 밀봉재인 언더필(under fill) 수지(밀봉수지)(10)가 충전되어 있다. 이 언더필 수지(10)는, 예를 들면 실리카(silica)가 충전된 에폭시 수지 등의 절연재로 구성되어 있다.

언더필 수지(10)는, 그 바깥 테두리가 메모리 칩(1)의 외측에까지 연장하여, 메모리 칩(1)의 근방에 실장된 상기 칩 콘덴서(7)의 전면을 덮고 있다. 또한, 언더필 수지(10)의 일부는, 칩 콘덴서(7)의 하면과 패키지 기판(2)의 주면과의 간극에도 충전되어 있다. 즉, 언더필 수지(10)는, 메모리 칩(1) 및 칩 콘덴서(7)의 각각의 하면과 패키지 기판(2) 주면과의 간극에 충전됨과 동시에, 칩 콘덴서(7)의 전면을 덮고 있다.

패키지 기판(2)의 주면에 실장된 메모리 칩(1) 및 칩 콘덴서(7)는, 패키지 기판(2)의 주면 전체를 덮는 세라믹제의 캡(11)에 의해 밀봉되어 있다. 이 캡(11)은, 그 각부(脚部)(11a)가 접착제(12)를 통하여 패키지 기판(2)의 주면에 고착되어 있다.

캡(11)의 하면과 메모리 칩(1)의 상면과의 간극에는, 메모리 칩(1)의 구동시에 발생하는 열을 캡(11)을 통하여 외부로 방산시키기 위한 열전도재(13)가 충전되어 있다. 이 열전도재(13)는, 예를 들면 Ag 페이스트와 같은 열전도율이 높은 도전재료로 구성되어 있다.

후술하는 바와 같이, 패키지의 조립공정에서는, 메모리 칩(1)과 캡(11)과의 사이에 열전도재(13)를 충전할 때, 캡(11)의 수지 공차(각부(11a)의 높이의 변동 등)를 흡수하기 위해 열전도재(13)를 많이 공급한다. 그 때문에, 열전도재(13)는, 그 바깥 테두리가 메모리 칩(1)의 외측에까지 연장하여, 그 일부는 메모리 칩(1)의 근방에 실장된 상기 칩 콘덴서(7)의 상면에까지 도달하고 있다.

그러나, 본 실시형태의 반도체 장치는, 절연재로 구성되는 언더필 수지(10)가 메모리 칩(1)과 패키지 기

판(2)과의 간극에 충전되어 있을뿐만 아니라, 칩 콘덴서(7)의 전면을 덮고 있으므로, 메모리 칩(1)의 외측으로 돌출한 도전성의 열전도재(13)를 통하여 칩 콘덴서(7)끼리 단락하거나, 칩 콘덴서(7)와 메모리 칩(1)이 단락할 우려는 없다.

또한, 본 실시형태의 반도체 장치는, 메모리 칩(1)의 근방에 배치된 칩 콘덴서(7)가 언더필 수지(10)로 피복되어 있으므로, 칩 콘덴서(7)와 패키지 기판(2)과의 접촉강도가 높다. 이것에 의해, 칩 콘덴서(7)와 전극(4)과의 접촉 신뢰성의 저하가 억제되므로, 칩 콘덴서(7)의 접촉수명이 향상된다.

다음에, 상기와 같이 구성된 본 실시형태의 반도체 장치의 제조방법을 도 5 ~ 도 13을 이용하여 공정순으로 설명한다.

패키지를 조립하기 위해서는, 우선 도 5에 나타내는 바와 같이, 미리 메모리 칩(1)의 주변에 접속해 둔 땀납범프(6)를 패키지 기판(2) 주변의 전극패드(4)상에 위치를 결정한 후, 땀납범프(6)를 리플로우(reflow)시킴으로써, 메모리 칩(1)을 패키지 기판(2) 주변의 중앙부에 페이스 다운 실장한다. 땀납범프(6)는, 예를 들면 2중량 %의 Sn을 포함하는 Pb-Sn 합금(액상선 온도 320℃ ~ 325℃)으로 구성된다.

다음에, 패키지 기판(2)의 주변을 세정하여 플럭스(flux) 잔사(殘渣)를 제거한 후, 도 6에 나타내는 바와 같이, 메모리 칩(1) 근방의 전극패드(4)상에 칩 콘덴서(7)를 실장한다. 칩 콘덴서(7)는, 예를 들면 도 7에 나타내는 바와 같이, 장방형의 대향하는 2면에 도금에 의해 전극(20a, 20b)이 형성된 것이므로, 그 내부는 티탄산 바륨(BaTiO₃) 등으로 이루어지는 고유전체(21)를 사이에 두고 얇은 조각 모양의 Ni 전극(22)이 서로 다르게 중첩되어 있다. 칩 콘덴서(7)를 실장하기 위해서는, 미리 전극(20a, 20b)의 표면에 도금으로 땀납(8)을 형성함과 동시에, 패키지 기판(2)의 전극패드(4) 표면에 스크린 인쇄 등으로 예비 땀납을 도포해 두고, 다음에 전극(20a, 20b)을 전극패드(4)상에 위치 결정한 후, 땀납(8)을 리플로우시킨다. 땀납(8)은, 예를 들면 3중량 %의 Ag를 포함하는 Sn-Ag 합금(용점 221℃)으로 구성된다. 또한, 패키지 기판(2)상에 메모리 칩(1)과 칩 콘덴서(7)를 실장하는 순서는, 상기와 반대라도 된다. 또한, 메모리 칩(1)과 칩 콘덴서(7)를 전극패드(4)상에 위치 결정한 후, 땀납범프(6)와 땀납(8)을 동시에 일괄적으로 리플로우해도 된다.

다음에, 패키지 기판(2)의 주변을 한 번 더 세정하여 플럭스 잔사를 제거한 후, 도 8에 나타내는 바와 같이, 메모리 칩(1)의 외주에 언더필 수지(10)를 공급한다. 언더필 수지(10)의 공급은, 예를 들면 디스펜서(dispenser)(30)를 메모리 칩(1)의 한 번에 따라 주사시키면서 행한다.

다음에, 언더필 수지(10)의 유동성을 높이기 위해, 패키지 기판(2)을 70℃ 정도로 가열한다. 이것에 의해, 도 9에 나타내는 바와 같이, 언더필 수지(10)가 모세관 현상에 의해 메모리 칩(1) 및 칩 콘덴서(7) 각각의 하면에 충전된다. 또한, 언더필 수지(10)의 공급량이 적절한 경우에는, 칩 콘덴서(7)의 전면이 언더필 수지(10)에 의해 피복된다. 그 후, 언더필 수지(10)를 150℃ 정도로 베이킹(bake)하여 경화시킨다.

이와 같이, 메모리 칩(1)의 하면에 언더필 수지(10)를 충전할 때, 동시에 칩 콘덴서(7)의 전면을 언더필 수지(10)로 피복함으로써, 공정을 간략화할 수 있다.

칩 콘덴서(7)의 피복은, 언더필 수지(10) 이외의 피복재를 사용하여 행해도 된다. 즉, 도 10에 나타내는 바와 같이, 메모리 칩(1) 및 칩 콘덴서(7)의 하면에 언더필 수지(제1의 밀봉수지)(10)를 충전하고, 이어서, 별도로 준비한 코트수지(제2의 밀봉수지)(14)로 칩 콘덴서(7)를 피복한 후, 언더필 수지(10) 및 코트수지(14)를 동시에 베이킹하여 경화시켜도 된다. 이 경우는, 언더필 수지(10)와 코트수지(14)가 일체화함으로써, 칩 콘덴서(7)와 패키지 기판(2)과의 접촉 강도를 향상시킬 수 있다. 또한, 칩 콘덴서(7)를 피복하는 수지의 두께를 얇게 할 수 있다. 언더필 수지(10)는, 모세관 현상을 이용하여 충전하므로 점도가 낮은 수지를 사용하지만, 코트수지(14)는 극히 얇은 피복을 형성하기 위한 것이며, 언더필 수지(10)보다도 실리카 필러(silica filler)의 함유율이 낮고, 또 언더필 수지(10)보다도 더 점도가 낮은 에폭시(epoxy) 수지, 실리콘 바니쉬(silicone varnish) 등이 사용된다.

다음에, 도 11에 나타내는 바와 같이, 메모리 칩(1)의 상면에 도시하지 않는 디스펜서 등을 사용하여 열전도재(Ag 페스트)(13)를 공급한다. 열전도재(13)는, 캡(11)의 수직 공차(각부(11a) 높이의 변동 등)를 흡수하기 위해, 필요량 보다도 약간 많이 공급한다. 또한 이 때, 패키지 기판(2) 주변의 주변부에 접촉재(12)를 공급한다.

다음에, 도 12 및 도 13에 나타내는 바와 같이, 캡(11)을 패키지 기판(2)상에 위치 결정하여, 열전도재(13) 및 접촉재(12)를 가열 경화시킴으로써, 캡(11)을 패키지 기판(2)상에 고착시킨다. 이 때, 열전도재(13)의 바깥 테두리가 칩 콘덴서(7)의 상면까지 도달하는 일이 있지만, 상술한 바와 같이, 칩 콘덴서(7)는 언더필 수지(10)로 덮여 있으므로, 열전도재(13)에 의해 칩 콘덴서(7)끼리 단락하거나, 칩 콘덴서(7)와 메모리 칩(1)이 단락하는 일은 없다.

그 후, 패키지 기판(2) 하면의 전극패드(5)의 표면에, 저융점의 Pb-Sn 공정(共晶)합금으로 구성되는 땀납 볼(도시하지 않음)을 공급한 후, 땀납 볼을 리플로우시켜, 전극패드(5)의 표면에 땀납범프(9)를 형성함으로써, 상기 도 1 ~ 도 4에 나타내는 반도체 장치를 완성한다.

본 실시형태에서는, 패키지 기판(2)상에 메모리 칩(1)을 1개만 실장하는 경우에 대하여 설명하였지만, 2개 이상의 메모리 칩(1)을 실장하는 경우에도 적용할 수 있다. 예를 들면 도 14는, 패키지 기판(2)상에 메모리 칩(1)을 3개 실장한 예이며, 도 15는, 메모리 칩(1)을 4개 실장한 예이다. 이들의 경우에도, 칩 콘덴서(7)는, 메모리 칩(1)과의 사이의 배선(3)을 짧게 하는 것이 요구되므로, 메모리 칩(1)이 극히 근방에 배치되지만, 칩 콘덴서(7)를 언더필 수지(10)로 피복함으로써, 접촉수명의 향상 및 쇼트 불량률의 방지를 도모할 수 있다.

(실시형태 2)

상기 실시형태 1에서는, 메모리 칩(1) 및 칩 콘덴서(7)를 캡(11)으로 밀봉한 패키지에 적용한 경우에 대

하여 설명하였지만, 본 발명은, 예를 들면 도 16에 나타내는 바와 같은, 메모리 칩(1)의 상면에 열전도재(16)를 통하여 방열판(히트 싱크)(15) 혹은 평탄한 방열판을 접속하는 패키지에 적용할 수도 있다. 또한, 열전도재(16)가, 예를 들면 BN(질화 붕소)이나 알루미나(alumina)와 같은 열전도율이 높은 절연성 재료로 구성되어 있는 경우에도 적용할 수 있다.

열전도재(16)가 절연성 재료로 구성되어 있는 경우는, 단락 불량 등의 문제는 발생하지 않지만, 칩 콘덴서(7)를 메모리 칩(1)의 근방에 배치하는 경우는, 메모리 칩(1)의 발열에 의한 접속수명의 저하가 문제가 된다. 따라서, 이 경우는, 도 17에 나타내는 바와 같이, 칩 콘덴서(7)의 하부에 언더필수지(10)를 충전함으로써, 칩 콘덴서(7)와 전극(4)과의 접속강도가 높아지고, 칩 콘덴서(7)의 접속수명을 향상한다.

또한, 본 실시형태의 패키지에 대해서도, 열전도재(16)가 도전성 재료로 구성되어 있는 경우에는, 열전도재(16) 공급량의 변동에 의해 열전도재(16)가 메모리 칩(1)의 외측으로 돌출하는 일이 있으므로, 단락 불량 문제가 된다. 따라서, 이 경우도 칩 콘덴서(7)를 언더필수지(10)로 피복함으로써, 메모리 칩(1)의 외측으로 돌출한 도전성의 열전도재(16)를 통하여 칩 콘덴서(7)끼리 쇼트하거나, 칩 콘덴서(7)와 메모리 칩(1)이 쇼트하는 불량을 방지할 수 있다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시형태에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 말할 필요도 없다.

상기 실시형태에서는, 고속 메모리 칩을 실장하는 패키지에 적용한 경우에 대하여 설명하였지만, 이것에 한정되지 않고, 일반적으로 발열량이 많은 고속 LSI가 형성된 반도체 칩의 근방에 칩 콘덴서를 배치하는 패키지에 널리 적용할 수 있다.

또한, 칩 콘덴서에 한정하지 않고, 저항소자 등의 수동소자를 발열량이 많은 반도체 칩의 근방에 배치하는 패키지에 널리 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하며, 이하와 같다.

본 발명에 의하면, 반도체 칩의 근방에 배치된 수동소자를 밀봉수지로 피복함으로써, 수동소자가 반도체 칩에서의 고온에 직접 노출되지 않으므로, 수동소자의 접속 신뢰성의 저하가 억제되어, 접속수명을 향상한다.

또한, 반도체 칩과 캡(또는 방열판)과의 사이에 충전하는 열전도재가 도전성 재료로 구성되는 경우에는, 수동소자를 밀봉수지로 피복함으로써, 수동소자끼리 쇼트하거나, 수동소자와 반도체 칩이 쇼트하는 불량을 방지할 수 있다.

(57) 청구의 범위

청구항 1. 배선층을 구비한 기판과, 상기 기판의 주면상에 페이스 다운 실장된 반도체 칩과, 상기 기판의 주면상에 실장된 수동소자와, 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 충전된 밀봉수지와, 상기 반도체 칩과 상기 수동소자를 밀봉하는 캡과, 상기 캡과 상기 반도체 칩과의 사이에 충전된 열전도재를 갖는 반도체 장치로서, 상기 수동소자는, 상기 밀봉수지가 피복된 영역내에 배치되며, 적어도 그 상면이 상기 밀봉수지에 의해 덮여져 있는 것을 특징으로 하는 반도체 장치.

청구항 2. 배선층을 구비한 기판과, 상기 기판의 주면상에 페이스 다운 실장된 반도체 칩과, 상기 기판의 주면상에 실장된 수동소자와, 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 충전된 밀봉수지와, 상기 반도체 칩의 상면에 열전도재를 통하여 접합된 방열체를 갖는 반도체 장치로서, 상기 수동소자는, 상기 밀봉수지가 피복된 영역내에 배치되며, 적어도 그 상면이 상기 밀봉수지에 의해 덮여져 있는 것을 특징으로 하는 반도체 장치.

청구항 3. 제2항에 있어서,

상기 열전도재는, 도전성 재료인 것을 특징으로 하는 반도체 장치.

청구항 4. 제2항에 있어서,

상기 열전도재는, 절연성 재료인 것을 특징으로 하는 반도체 장치.

청구항 5. 제2항에 있어서,

상기 수동소자는, 칩 콘덴서인 것을 특징으로 하는 반도체 장치.

청구항 6. 제2항에 있어서,

상기 반도체 칩은, 범프전극을 통하여 상기 기판의 주면상에 실장되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7. 제2항에 있어서,

상기 기판의 주면상에 복수의 반도체 칩이 실장되며, 상기 수동소자는, 상기 복수의 반도체 칩의 간극에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8. 제2항에 있어서,

상기 수동소자와 상기 기판의 주면과의 간극에, 상기 밀봉수지가 충전되어 있는 것을 특징으로 하는 반도체 장치.

도체 장치.

청구항 9. (a) 배선층을 구비한 기판의 주면상에 반도체 칩을 페이스 다운 실장하는 공정과,

(b) 상기 기판 주면상의 상기 반도체 칩이 실장된 영역의 근방에 수동소자를 실장하는 공정과,

(c) 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 밀봉수지를 충전하고, 또 상기 수동소자를 상기 밀봉수지로 피복하는 공정과,

(d) 상기 반도체 칩의 상면에, 열전도재를 통하여, 상기 반도체 칩과 상기 수동소자를 밀봉하는 캡을 고착하는 공정을 갖는 반도체 장치의 제조방법.

청구항 10. (a) 배선층을 구비한 기판의 주면상에 반도체 칩을 페이스 다운 실장하는 공정과,

(b) 상기 기판 주면상의 상기 반도체 칩이 실장된 영역의 근방에 수동소자를 실장하는 공정과,

(c) 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 밀봉수지를 충전하고, 또 상기 수동소자를 상기 밀봉수지로 피복하는 공정과,

(d) 상기 반도체 칩의 상면에 열전도재를 통하여 방열체를 고착하는 공정을 갖는 반도체 장치의 제조방법.

청구항 11. 제10항에 있어서,

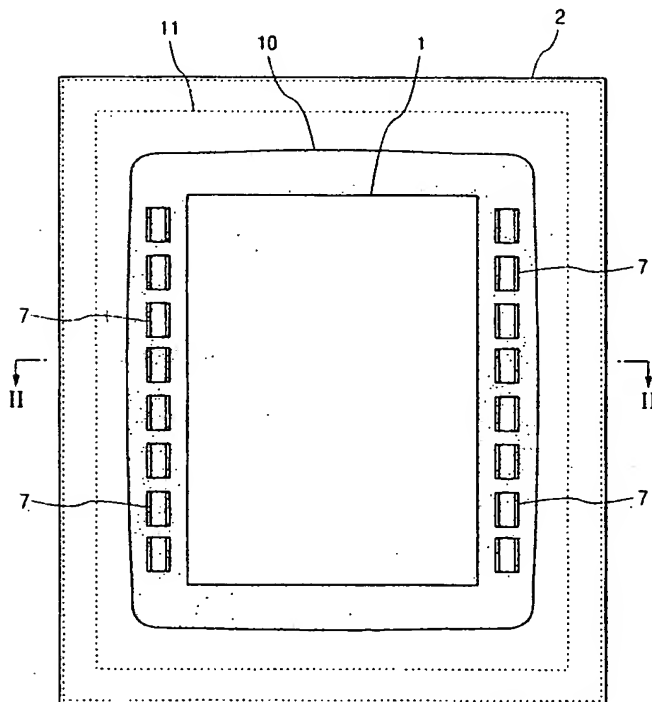
상기 (c) 공정은, 상기 반도체 칩의 주면과 상기 기판의 주면과의 간극에 제1의 밀봉수지를 충전하는 공정과, 상기 수동소자를 제2의 밀봉수지로 피복하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 12. /제2항에 있어서,

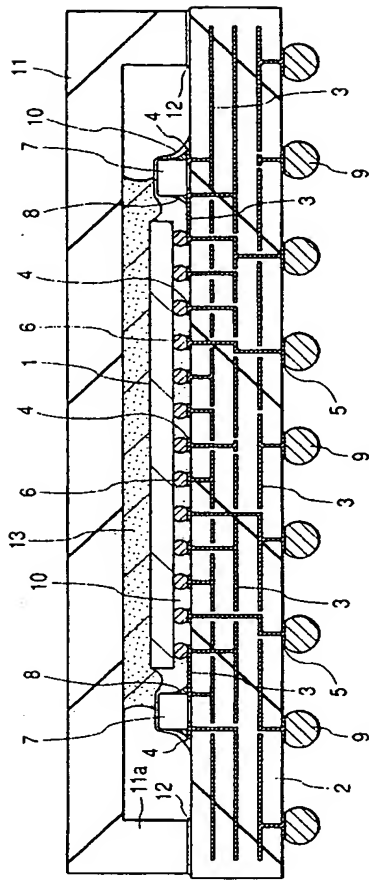
상기 반도체 칩의 주면과 반사층의 이면은, 상기 밀봉수지에 의해 덮여있지 않으며, 상기 열전도재와 직접 접촉하고 있는 것을 특징으로 하는 반도체 장치.

도면

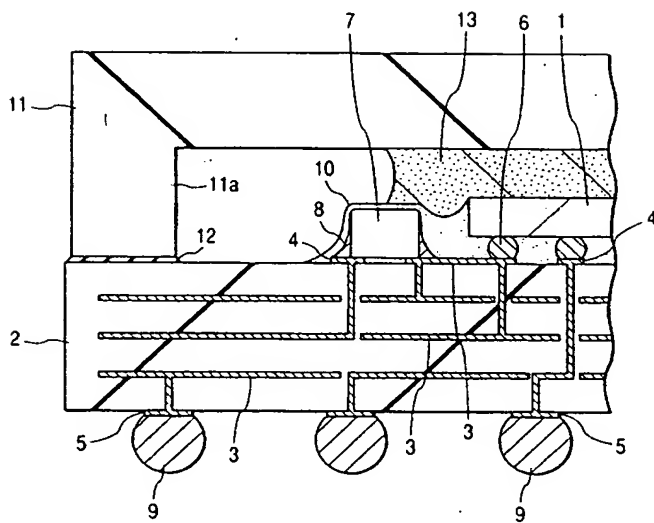
도면1



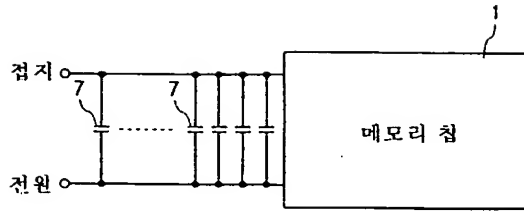
도면2



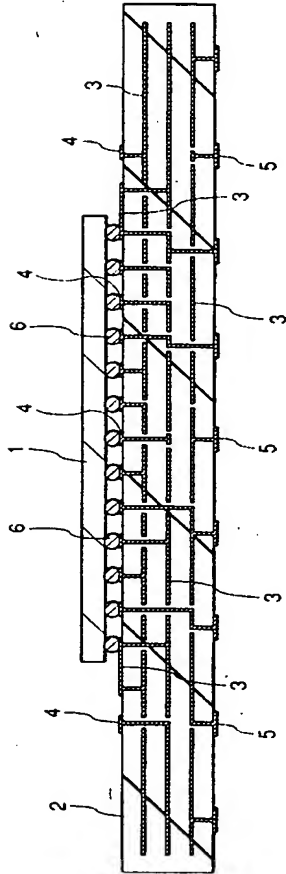
도면3



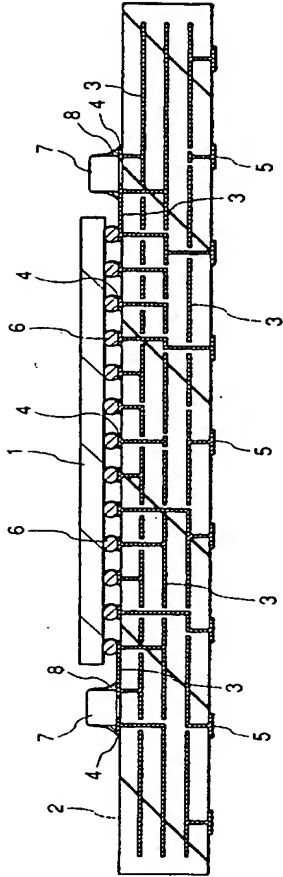
도면4



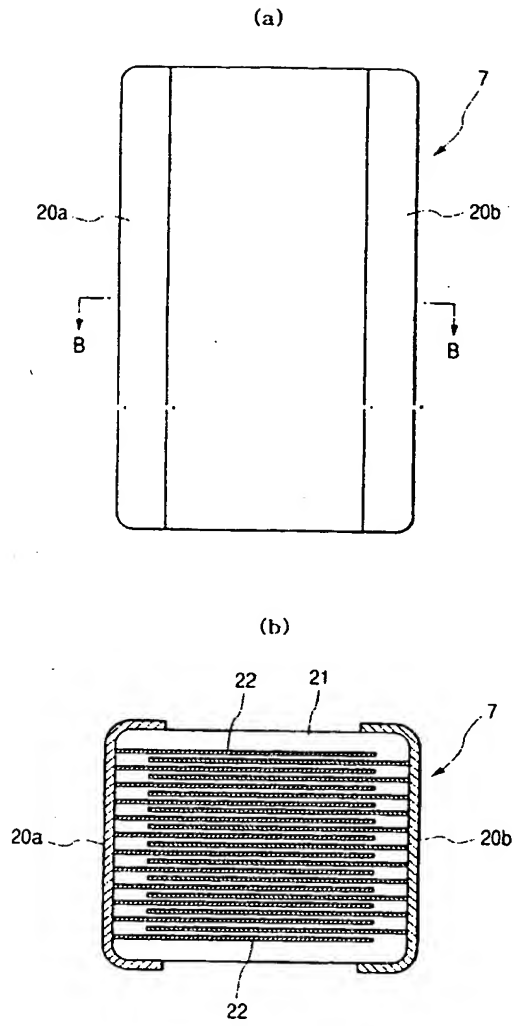
도면5



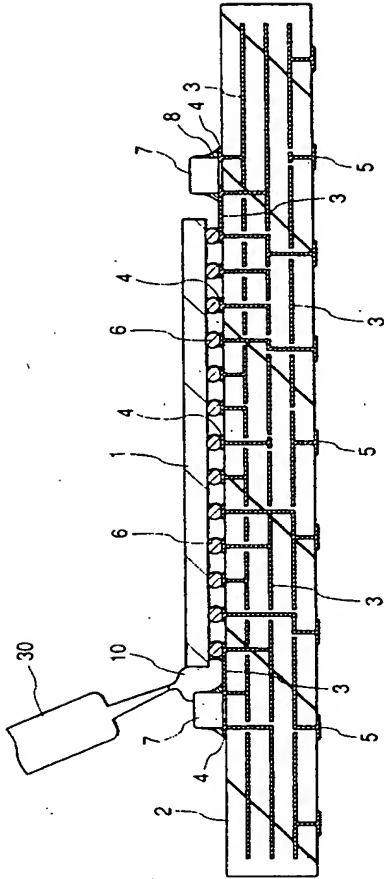
도면6



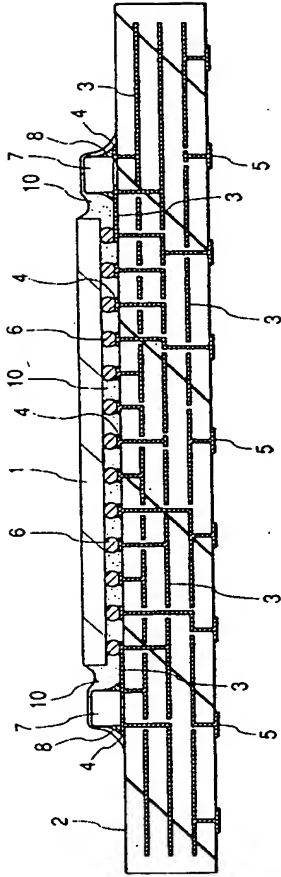
도면7



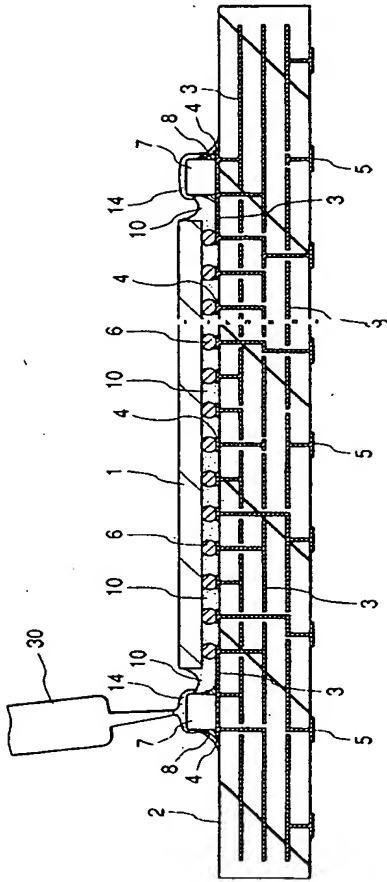
도면8



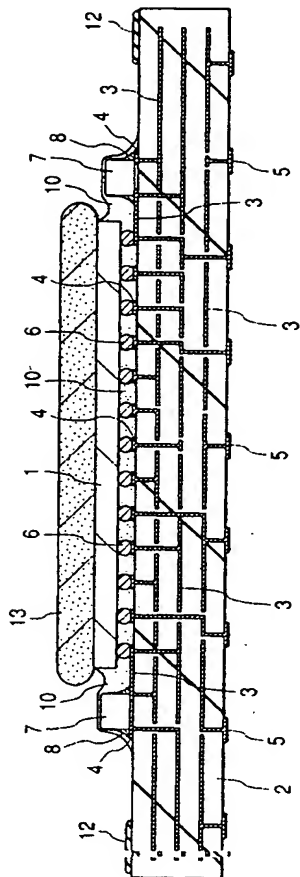
도면9



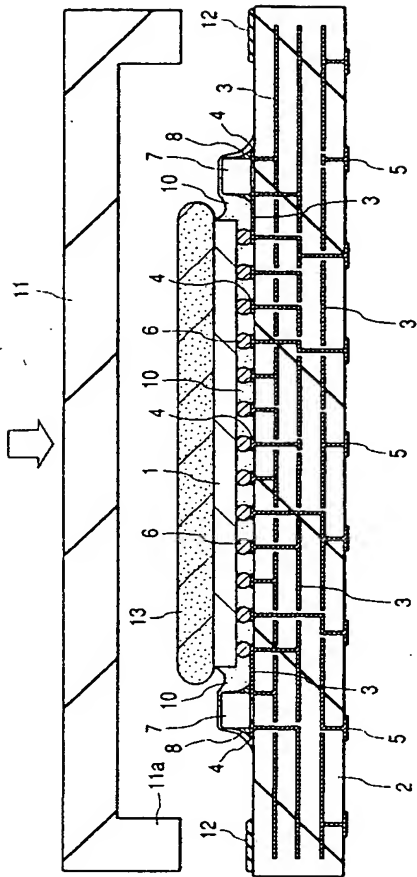
도면10



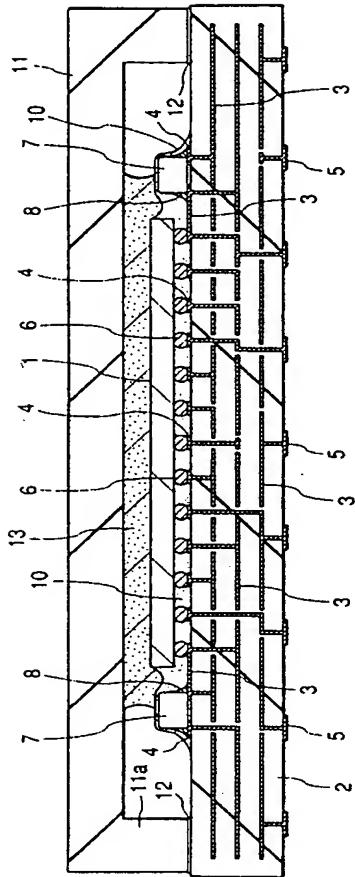
도면11



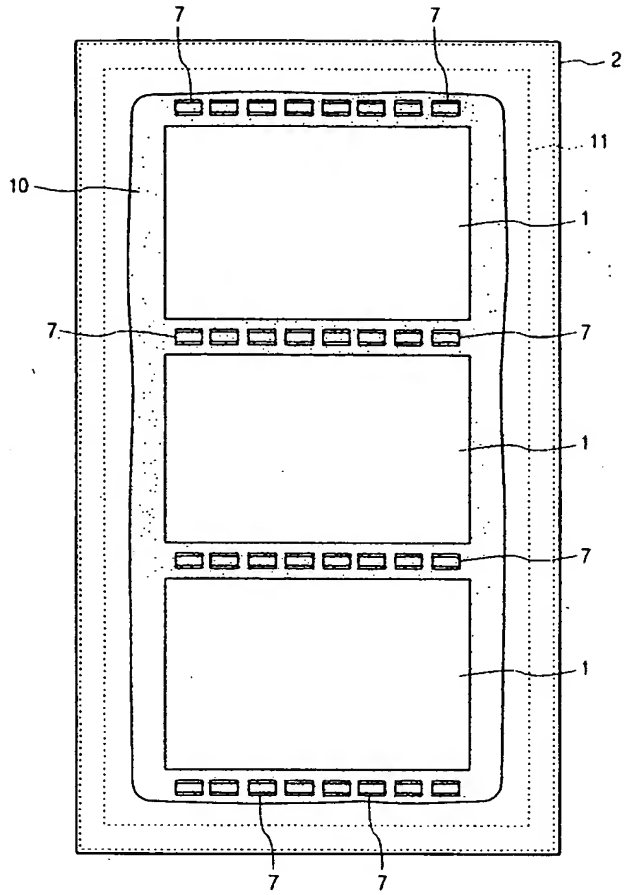
도면12



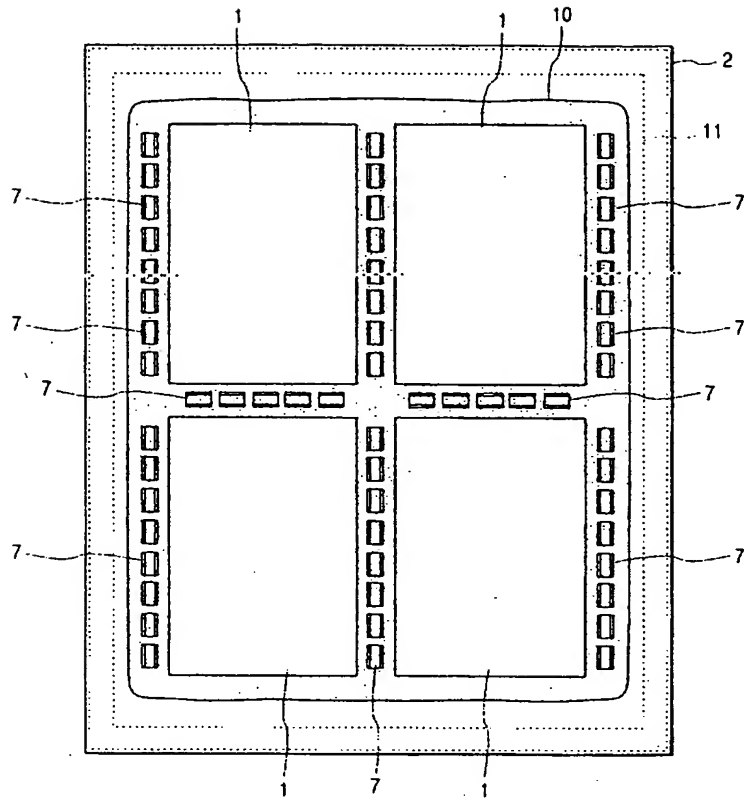
도면 13



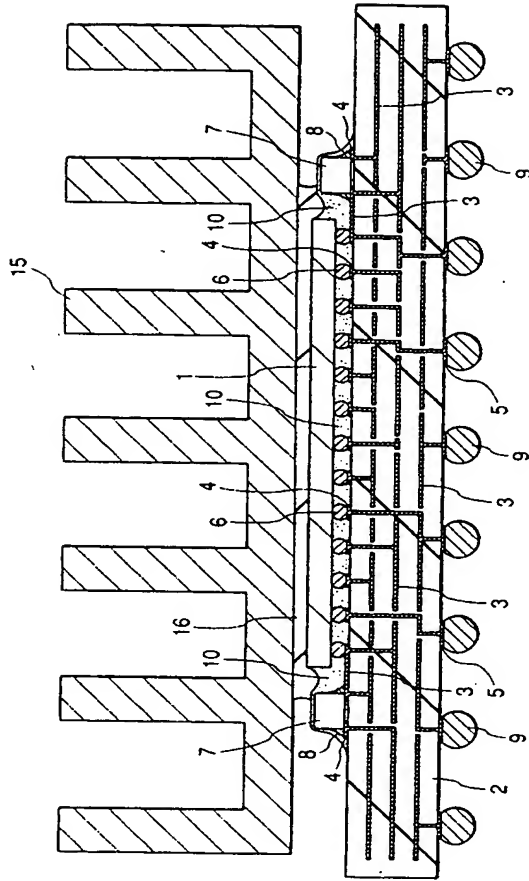
도면14



도면 15



도면16



도면17

